

CLIPPEDIMAGE= JP02000031810A

PAT-NO: JP02000031810A

DOCUMENT-IDENTIFIER: JP 2000031810 A

TITLE: DRIVER CIRCUIT

PUBN-DATE: January 28, 2000

INVENTOR-INFORMATION:

NAME IDE, SATOSHI	COUNTRY N/A
----------------------	----------------

ASSIGNEE-INFORMATION:

NAME FUJITSU LTD	COUNTRY N/A
---------------------	----------------

APPL-NO: JP10195245

APPL-DATE: July 10, 1998

INT-CL (IPC): H03K019/0175;H03K017/687 ;H03K019/086 ;H04L025/02

ABSTRACT:

PROBLEM TO BE SOLVED: To enable the high-speed transmission of a small amplitude signal while eliminating pulse width distortion.

SOLUTION: This circuit is provided with high-potential side paired PMOS transistors P1 and P1, low-potential side paired NMOS transistors N0 and N1 and a control signal generating circuit B1 for generating a positive phase control signal S, with which one of paired PMOS transistors and one of paired NMOS transistors are respectively driven, and a negative phase control signal *S, with which the other of paired PMOS transistors and the other of paired NMOS transistors are respectively driven, and inputting them to the gates of the respective transistors, the drain of one of paired PMOS transistors is connected to the drain of one of paired NMOS transistors, a first transmission line 3 is connected to a drain connecting part, the drain of the other of paired PMOS transistors is connected to the drain of the other of paired NMOS transistors, and a second transmission line is connected to a drain connecting part so that the driver circuit can be constituted.

COPYRIGHT: (C) 2000, JPO

1

【特許請求の範囲】

【請求項1】 差動駆動信号を基に、一对の伝送路に流れる信号電流の向きを切り替えることにより信号伝送するドライバに於いて、

極性の異なる電界効果トランジスタのドレインを接続した第1と第2のスイッチング手段を有し、該第1スイッチング手段の該電界効果トランジスタのベースにそれぞれ差動駆動信号の一方を入力し、該電界効果トランジスタのドレインを前記一对の伝送路の一方に接続し、

該第2スイッチング手段の該電界効果トランジスタのベースにそれぞれ差動駆動信号の他方を入力し、該電界効果トランジスタのドレインを前記一对の伝送路の他方に接続したことを特徴とするドライバ回路。

【請求項2】 一对の伝送路に流れる信号電流の向きを切り替えることにより信号を伝送するドライバ回路において、

高電位側の電流スイッチング素子としての一対のPMOSトランジスタと、

低電位側の電流スイッチング素子としての一対のNMOSトランジスタと、PMOSトランジスタ対の一方とNMOSトランジスタ対の一方をそれぞれ駆動する正相制御信号及びPMOSトランジスタ対の他方とNMOSトランジスタ対の他方をそれぞれ駆動する逆相制御信号を発生して各トランジスタのゲートに入力する制御信号発生回路を備え、

前記PMOSトランジスタ対の一方のドレインを前記NMOSトランジスタ対の一方のドレインに接続すると共に、該ドレイン接続部に伝送路対の一方を接続し、

前記PMOSトランジスタ対の他方のドレインを前記NMOSトランジスタ対の他方のドレインに接続すると共に、該ドレイン接続部に伝送路対の他方を接続してなることを特徴とするドライバ回路。

【請求項3】 請求項2記載のドライバ回路において、更に、

前記PMOSトランジスタ対のソースと高電位線間に設けられた電流源と、

前記NMOSトランジスタ対のソースと低電位線間に設けられた負荷素子と、を備えることを特徴とするドライバ回路。

【請求項4】 請求項2記載のドライバ回路において、更に、

前記PMOSトランジスタ対のソースと高電位線間に設けられた負荷素子と、前記NMOSトランジスタ対のソースと低電位線間に設けられた電流源と、を備えることを特徴とするドライバ回路。

【請求項5】 請求項2記載のドライバ回路において、更に、

前記PMOSトランジスタ対のソース端子と高電位線間に設けられた第1の電流源と、前記NMOSトランジスタ対のソ

10

2

ースと低電位線間に設けられた第2の電流源、を備えることを特徴とするドライバ回路。

【請求項6】 請求項5記載のドライバ回路において、更に

バイアス電圧を与える定電圧源と、前記一方のドレイン接続部と該定電圧源間及び他方のドレイン接続部と該定電圧源間をそれぞれ接続する一对のバイアス抵抗素子、を備えることを特徴とするドライバ回路。

【請求項7】 請求項2記載のドライバ回路において、前記制御信号発生回路は、入力信号としてCMOSレベル信号が入力される2段以上のCMOSロジック回路を接続して構成され、所定のCMOSロジック回路より正相制御信号を取り出し、別のCMOSロジック回路より逆相制御信号を取り出して出力することを特徴とするドライバ回路。

【請求項8】 請求項7記載のドライバ回路において、正相制御信号を発生するCMOSロジック回路側及び逆相制御信号を発生するCMOSロジック回路側の少なくとも一方に遅延回路を挿入し、正相制御信号と逆相信号の位相差を低減することを特徴とするドライバ回路。

【請求項9】 請求項2記載のドライバ回路において、前記制御信号発生回路は、入力信号として差動信号が入力される差動增幅回路を備え、該差動增幅回路より正相制御信号及び逆相制御信号を出力することを特徴とするドライバ回路。

【請求項10】 請求項2記載のドライバ回路において、

前記制御信号発生回路は、入力信号として差動信号が入力され、前記PMOSトランジスタ対を駆動する第1の差動信号を出力する第1の差動増幅器と、前記NMOSトランジスタ対を駆動する第2の差動信号を出力する第2の差動増幅回路を備え、該第1、第2の差動増幅回路より正相制御信号及び逆相制御信号を出力することを特徴とするドライバ回路。

【請求項11】 請求項10記載のドライバ回路において、

PMOSトランジスタ対を駆動する第1の差動信号を生成する第1の差動増幅回路の負荷素子として抵抗を用い、NMOSトランジスタ対を駆動する第2の差動信号を生成する第2の差動増幅回路の負荷素子として、抵抗とゲート

・ドレイン間が接続されたNMOSトランジスタを用いることを特徴とするドライバ回路。

【請求項12】 請求項11記載のドライバ回路において、

前記制御信号発生回路は、前記負荷素子として用いられるNMOSトランジスタを常時オンさせるためのバイアス電流源回路を有することを特徴とするドライバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一对の伝送路に流れ

る信号電流の向きを切り替えることにより信号を伝送す

50

るドライバ回路に係わり、特に、小振幅信号の高速伝送用インターフェースに用いられるドライバ回路に関する。

【0002】

【従来の技術】近年、高速データ転送の要求を満たすために、小振幅差動伝送のLVDS(Low Voltage Differential Signal)インターフェースが注目されている。図12はLVDSインターフェースの構成図であり、ドライバ1とレシーバ2の間は、 50Ω の往路伝送線路3と復路伝送線路4により結ばれ、伝送線路3、4はレシーバ入力において 100Ω の抵抗5で終端されている。ドライバ1は、約3mAの電流を駆動し、終端抵抗5において約300mVの電圧を発生する。往路伝送線路3と復路伝送線路4は電気的特性が等しい、いわゆる平衡伝送路を形成しており、LVDSではこの2本の伝送路により1つの信号の伝送を行うことが大きな特徴となっている。ドライバ1は入力端子6からの入力信号に基づいて、往路伝送線路3、復路伝送線路4の間に電位差を生ずるような差動信号を生成する。これに対して、レシーバ2は往路伝送線路3、復路伝送線路4の間に生成された差動信号をCMOSレベルに変換し、これを出力端子7から出力する。

【0003】LVDSの原理は、ドライバ1側で発生した信号電流 I_s を、往路伝送線路3と復路伝送線路4の平衡伝送線と、レシーバ2側の終端抵抗5で形成されるループに流すことにより、終端抵抗5の部分に信号電圧を発生させて信号を伝送するものである。信号の“1”、“0”は、信号電流 I_s の流れる向きを切り替えることにより識別する。かかる構成によれば、往路伝送線路3および復路伝送線路4を流れる信号電流 I_s は、大きさが同じで、向きが逆であるため、平衡伝送線全体の電流により生成される磁界が互いにキャンセルされる。このような特性は、伝送系の電流変動によって生じるノイズが小さいことを意味しており、隣接ポート間の伝送線同士の干渉やLSI間の同時スイッチング干渉が小さいため高速信号の伝送に適している。

【0004】図13はLVDSドライバ回路の従来回路例である。N100～N101は高電位側の電流スイッチング素子としての一対のNMOSトランジスタ、N102～N103は低電位側の電流スイッチング素子としての一対のNMOSトランジスタである。NMOSトランジスタN100のソースはNMOSトランジスタN102のドレインに直列に接続され、NMOSトランジスタN101のソースはNMOSトランジスタ103のドレインに直列に接続されている。又、NMOSトランジスタN100、N101のドレインは共に電流源I100に接続され、NMOSトランジスタN102、N103のソースは共に負荷素子であるNMOSトランジスタN104に接続されている。

【0005】B100は制御信号発生回路であり、CMOSロジック回路(インバータ)X100、X101を備え、①高電位側の一方のNMOSトランジスタN100と低電位側の一方のNMOSトランジスタN103をそれぞれ駆動する正相制御信号Sを発生すると共に、②高電位側の他方のNMOSトランジスタN1

01と低電位側の他方のNMOSトランジスタN102をそれぞれ駆動する逆相制御信号* Sを発生する。すなわち、制御信号発生回路B100は、CMOS入力信号をインバータX100、X101に入力し、インバータX101より正相制御信号Sを出力してNMOSトランジスタN100、N103のゲート端子に入力し、インバータX100より逆相制御信号* Sを出力してNMOSトランジスタN101、N102のゲート端子に入力する。

【0006】入力信号がLであれば、逆相制御信号* SはHとなり、正相制御信号はHとなる。このため、NMOSトランジスタN100、N103がオンし、NMOSトランジスタN101、N102がオフし、電流は点線で示すようにNMOSトランジスタN100から伝送線路3→終端抵抗5→伝送線路4を介してNMOSトランジスタN103に向かって流れ、LVDS出力信号はHとなる。一方、入力信号がHであれば、逆相制御信号* SはHとなり、正相制御信号はLとなる。このため、NMOSトランジスタN101、N102がオンし、NMOSトランジスタN100、N103がオフし、電流は一点鎖線で示すようにNMOSトランジスタN101から伝送線路4→終端抵抗5→伝送線路3を介してNMOSトランジスタN102に向かって流れ、LVDS出力信号はLとなる。尚、直流電位は、負荷素子であるNMOSトランジスタN104で発生する電圧によって供給される。

【0007】

【発明が解決しようとする課題】従来の構成では、正相制御信号Sと逆相制御信号* S間にインバータ1個分の位相差が存在する。このため、LVDS出力がHの時にオンするNMOSトランジスタN100、103のスイッチングと、LVDS出力がLの時にオンするNMOSトランジスタN101、102のスイッチングとで時間差が生じ、LVDS出力信号の立ち上がり/立ち下がりが非対称になり出力波形にパルス幅歪みを生じる問題がある。図14はかかる従来の問題点を説明するために波形応答の模式図であり、正相制御信号Sと逆相制御信号* S間にθの位相差が存在する。このため、NMOSN100→N103の第1の電流経路がオンするタイミングとNMOSN101→N102の第2の電流経路がオフするタイミングが一致せず、オフするタイミングが前記位相差θ分遅れる。このため、第1、第2の両方の経路が共にオンする期間が発生し、かかる期間ではLVDS出力が不定になり、LVDS出力のパルス幅が一定にならない。かかるパルス幅歪みは入力信号のビットレートが低ければ問題にならないが、ビットレートが高速になると正しく信号伝送ができなくなるという問題が顕著化する。

【0008】また、高電位側のNMOSトランジスタ対N100～N101は飽和状態で動作するが、低電位側のNMOSトランジスタ対N102～N103は常に非飽和領域で動作する。非飽和領域では飽和動作時に比べてスイッチング特性が悪く、それが出力波形の劣化を招くもう1つの原因となっている。通常動作では、この程度の波形劣化は問題にならない場合も多い。しかしながら、ノイズマージンが小さい場合、例えば微少な信号レベルを増幅する光受信回

路の出力等として用いる場合には、出力波形のパルス歪みを厳しく制御する必要がある。

【0009】以上より本発明の目的は、第1の電流経路を構成するMOSトランジスタ対と第2の電流経路を構成するMOSトランジスタ対のオン/オフ時のスイッチング特性を対称にできるドライバ回路を提供することである。本発明の別の目的は、スイッチングに用いるMOSトランジスタを飽和領域で用いてスイッチング特性を改善できるドライバ回路を提供することである。本発明の目的はパルス幅歪みをなくし、小振幅信号を高速伝送するのに好適なドライバ回路を提供することである。

【0010】

【課題を解決するための手段】上記課題は本発明によれば、(1) 極性の異なる電界効果トランジスタのドレインを接続した第1と第2のスイッチング手段を有し、(2) 該第1スイッチング手段の該電界効果トランジスタのベースにそれぞれ差動駆動信号の一方を入力し、該電界効果トランジスタのドレインを前記一対の伝送路の一方に接続し、(3) 該第2スイッチング手段の該電界効果トランジスタのベースにそれぞれ差動駆動信号の他方を入力し、該電界効果トランジスタのドレインを前記一対の伝送路の他方に接続したバイア回路により達成される。例えば、前記極性の異なる電界効果トランジスタとしてPMOSトランジスタとNMOSトランジスタを用いた場合、上記課題は本発明によれば、(1) 高電位側の電流スイッチング素子としての一対のPMOSトランジスタと、(2) 低電位側の電流スイッチング素子としての一対のNMOSトランジスタと、(3) 前記PMOSトランジスタ対の一方とNMOSトランジスタ対の一方をそれぞれ駆動する正相制御信号及びPMOSトランジスタ対の他方とNMOSトランジスタ対の他方をそれぞれ駆動する逆相制御信号を発生する制御信号発生回路を備え、(4) 前記PMOSトランジスタ対の一方のドレインを前記NMOSトランジスタ対の一方のドレインに接続すると共に、該ドレイン接続部に第1の伝送路を接続し、前記PMOSトランジスタ対の他方のドレインを前記NMOSトランジスタ対の他方のドレインに接続すると共に、該ドレイン接続部に第2の伝送路を接続してなるドライバ回路により達成される。

【0011】かかるドライバ回路によれば、入力信号がHのとき、逆相制御信号(L)により駆動されるPMOSトランジスタと正相制御信号(H)により駆動されるNMOSトランジスタが第1伝送線路→第2伝送線路を介して第1の電流経路を形成し、又、入力信号がLのとき、正相制御信号(L)により駆動されるPMOSトランジスタと逆相制御信号(H)により駆動されるNMOSトランジスタが第2伝送線路→第1伝送線路を介して第2の電流経路を形成する。すなわち、第1の電流経路は正相制御信号がHで、かつ、逆相制御信号がLのときに電流を流し、第2の電流経路は正相制御信号がLで、かつ、逆相制御信号がHのときに電流を流す。この結果、LVDS出力信号の立上り、立

下がりが対称になり、パルス幅歪みを低減することができ、高速伝送に対応できる。

【0012】又、制御信号発生回路を2以上のCMOSロジック回路(インバータ)で構成し、正相制御信号を発生するCMOSロジック回路側及び逆相制御信号を発生するCMOSロジック回路側の少なくとも一方に遅延回路を挿入し、正相制御信号と逆相信号間の位相差を小さく、例えば零とする。このようにすれば、第1の電流経路と第2の電流経路が同時にオフする状態をなくせ、第1の電流経路がオンすれば同時に第2の電流経路をオフでき、又、第2の電流経路がオンすれば同時に第1の電流経路をオフできる。すなわち、第1の電流経路を構成するMOSトランジスタ対と第2の電流経路を構成するMOSトランジスタ対のオン/オフ時のスイッチング特性を対称にでき、LVDS出力波形をより改善できる。

【0013】又、高電位側のPMOSトランジスタ対のソース端子と高電位間に第1の電流源を接続し、低電位側のNMOSトランジスタ対のソースと低電位間に第2の電流源を接続、該低電位側のNMOSトランジスタ対の各ドレインと定電圧源間をバイアス抵抗素子で接続する。このようにすれば、低電位側のNMOSトランジスタ対を飽和領域で用いることができ、スイッチング特性を改善でき、LVDS出力のパルス幅歪みを減小できる。又、制御信号発生回路を、アナログ差動信号が入力される差動增幅回路で構成し、該差動增幅回路より正相制御信号及び逆相制御信号を出力する。このようにすれば、アナログ差動信号が入力される場合であっても、LVDS用ドライバ回路を提供できる。

【0014】

【発明の実施の形態】(A) 第1実施例

図1は本発明の第1実施例であるドライバ回路の構成図であり、図12と同一部分には同一符号を付している。

1はLVDS用のドライバ回路、3はLVDSインターフェースの第1の伝送線路、4は第2の伝送線路、5は終端抵抗、6はCMOS入力端子、8、9は図示しないLVDSレシーバの入力端子である。ドライバ回路1において、P0～P1は高電位側の電流スイッチング素子としての一対のPMOSトランジスタ、N0～N1は低電位側の電流スイッチング素子としての一対のNMOSトランジスタである。PMOSトランジスタP0のドレインはNMOSトランジスタN0のドレインに直列に接続され、PMOSトランジスタP1のドレインはNMOSトランジスタN1のドレインに直列に接続されている。又、PMOSトランジスタP0、P1のソースは共に電流源I1に接続され、NMOSトランジスタN0、N1のソースは共に負荷素子であるNMOSトランジスタN3に接続されている。

【0015】B1は制御信号発生回路であり、直列に接続されたCMOSロジック回路(インバータ)X0、X1を備え、①高電位側の一方のPMOSトランジスタP1と低電位側の一方のNMOSトランジスタN1をそれぞれ駆動する正相制御信号Sを発生すると共に、②高電位側の他方のPMOSトランジ

スタP0と低電位側の他方のNMOSトランジスタN0をそれぞれ駆動する逆相制御信号*Sを発生する。すなわち、制御信号発生回路B1は、CMOS入力信号をインバータX0,X1に入力し、インバータX1より正相制御信号Sを出力してPMOSトランジスタP1とNMOSトランジスタN1のゲート端子に入力し、インバータX0より逆相制御信号*Sを出力してPMOSトランジスタP0とNMOSトランジスタN0のゲート端子に入力する。

【0016】入力信号がHであれば、逆相制御信号*SはLとなり、正相制御信号はHとなる。このため、PMOSトランジスタP0とNMOSトランジスタN1がオンし、PMOSトランジスタP1とNMOSトランジスタN0がオフし、電流は点線で示す第1の電流経路に沿って流れ。すなわち、電流はPMOSトランジスタP0から伝送線路3→終端抵抗5→伝送線路4→NMOSトランジスタN1を介してNMOSトランジスタN3に向かって流れ、LVDS出力信号はLとなる。一方、入力信号がLであれば、逆相制御信号*SはHとなり、正相制御信号はLとなる。このため、PMOSトランジスタP1とNMOSトランジスタN0がオンし、PMOSトランジスタP0とNMOSトランジスタN1がオフし、電流は一点鎖線で示す第2の電流経路に沿って流れ。すなわち、電流はPMOSトランジスタP1から伝送線路4→終端抵抗5→伝送線路3→NMOSトランジスタN0を介してNMOSトランジスタN3に向かって流れ、LVDS出力信号はHとなる。尚、直流電位は、負荷素子N3で発生する電圧によって供給される。

【0017】かかるドライバ回路によれば、図2に示すように、第1の電流経路は正相制御信号SがHで、かつ、逆相制御信号*SがLのときに電流を流し、第2の電流経路は正相制御信号がLで、かつ、逆相制御信号がHのときに電流を流す。この結果、第1実施例のドライバ回路では、高電位側のスイッチング素子をPMOSトランジスタP0,P1したことにより、そのスイッチングの論理が従来のドライバ回路(図13)と反転しLVDS出力のH/Lの波形はほぼ対称となり、高速伝送に対応できる。すなわち、第1の電流経路と第2の電流経路が同時にオフすることはあるても、同時にオンすることはなく、LVDS出力は不定にならずパルス幅歪みを低減することができる。

【0018】(B) 第2実施例

図3は本発明の第2実施例であるドライバ回路の構成図であり、図1の第1実施例と同一部分には同一符号を付している。第2実施例が第1実施例と異なる点は、制御信号発生回路B1の構成及び直流レベルを与える低電位側の負荷素子をNMOSトランジスタの替わりに抵抗R2を用いた点である。第2実施例の制御信号発生回路B1において、インバータX0,X1が直列に接続され、初段のインバータX0の出力端子に遅延回路D0が接続され、次段のインバータX1の出力端子に遅延回路D1が接続されている。各遅延回路D0,D1は正相制御信号Sと逆相制御信号*S間の位相差が零となるように所定時間インバータX0,X1の

出力を遅延するものである。第1実施例では、インバータX1の伝搬遅延分だけ、正相制御信号Sと逆相制御信号*S間に位相差が生じる。しかし、第2実施例によれば、遅延量の異なる遅延回路D0,D1を挿入して正相制御信号S、逆相制御信号*Sの位相を調整し、位相差を低減している(理想的には零にしている)。

【0019】第2実施例によれば、第1の電流経路と第2の電流経路が同時にオフする状態をなくせ、第1の電流経路がオンすれば同時に第2の電流経路をオフでき、又、第2の電流経路がオンすれば同時に第1の電流経路をオフできる。すなわち、第1の電流経路を構成するMOSトランジスタ対と第2の電流経路を構成するMOSトランジスタ対のオン/オフ時のスイッチング特性を対称にでき、LVDS出力波形をより改善することができる。

【0020】尚、図3の第2実施例では遅延回路を2つ設けたが、位相の進んでいる逆相制御信号側に遅延回路D0を設けるだけでもよい。又、遅延回路D0,D1は例えば、駆動能力の異なるインバータ等で構成される。又、第1実施例、第2実施例では、高電位側のPMOSトランジスタ対P0,P1のソースに電流源を接続し、低電位側のNMOSトランジスタ対N0,N1のソースに負荷素子を接続する構成としたが、逆の構成で、PMOSトランジスタ対P0,P1のソースに負荷素子を接続し、NMOSトランジスタ対N0,N1のソースに電流源を接続する構成とすることもできる。又、第1実施例、第2実施例では、制御信号発生回路B1としてCMOSインバータを用いたが、NAND等のロジック回路を用いて構成することもできる。

【0021】(C) 第3実施例

図4は本発明の第3実施例であるドライバ回路の構成図であり、図1の第1実施例と同一部分には同一符号を付している。第3実施例が第1実施例と異なる点は、(1) NMOSトランジスタの負荷素子に替えて電流源I2を低電位側のNMOSトランジスタ対N0,N1のソースに接続している点、(2) PMOSトランジスタP0のドレインとNMOSトランジスタN0のドレインとの接続部と定電圧源V1の間にNMOSトランジスタN4で構成されたバイアス抵抗素子が接続されている点、(3) PMOSトランジスタP1のドレインとNMOSトランジスタN1のドレインとの接続部と定電圧源V1の間にNMOSトランジスタN5で構成されたバイアス抵抗素子が接続されている点である。

【0022】NMOSトランジスタN0,N1のソースに電流源I2を接続し、電流源I1とI2の電流量をほぼ等しくする。このように構成することで、低電位側のスイッチング素子であるNMOSトランジスタ対N0,N1も飽和領域で動作することが可能となり、よりスイッチング特性を向上することが可能になる。ところで、電流源I2の場合は、負荷素子のように直流レベルを与えることができない。そこで、直流レベルを別途与えることが好ましく、第3実施例では、電圧源V1とバイアス抵抗として働くNMOSトランジスタN4,N5によって各MOSトランジスタP0~P1,N0~N1

のドレインにNMOSトランジスタ対N0,N1が飽和領域で動作するように直流電位を与えている。尚、バイアス抵抗N4, N5は抵抗で構成にしてもよく、あるいはPMOSトランジスタで構成してもよく、又、NMOSトランジスタとPMOSトランジスタを組み合わせた構成としても良い。

【0023】図5は第3実施例の電圧源V1の回路構成例であり、X11は参照電圧を発生する参照電圧発生部であり、例えば、温度変動の影響を受けず、約1.2Vの参照電圧VRを安定に供給する周知のバンドギャップ参照電圧源(BGR回路)、X12はバッファとして働く演算増幅回路であり、出力電圧を参照電圧VRに等しくするためのC11は高周波電流を吸収する容量である。図5の電圧源回路は参照電圧VRが1.2Vの場合であるが、そうでないときには演算増幅回路で非反転増幅回路や分圧回路を挿入して、出力電圧を約1.2Vとしても良い。また参照電圧VRはBGR回路でなくツェナダイオードなど用いて供給することもできる。

【0024】図6は第3実施例の電流源I1, I2の構成図である。X21は参照電圧VBGRを安定に供給するBGR回路、X22は演算増幅回路、R21は抵抗である。抵抗R21とBGR回路X21と演算増幅回路X22とで負帰還回路を構成し、NMOSトランジスタN21のソース電圧が参照電圧VBGRと等しくなるように動作する。従って、抵抗R21に流れれる電流Iは(VBGR/R21)で与えられる。一方、①PMOSトランジスタP21とPMOSトランジスタP23、②PMOSトランジスタP21とPMOSトランジスタP22、③NMOSトランジスタN22とNMOSトランジスタN23は、それぞれカレントミラーを構成する。

【0025】従って、抵抗R21に定電流Iが流れるとカレントミラーによりPMOSトランジスタP23に電流Iが流れ、定電流I1を出力する。又、カレントミラーによりPMOSトランジスタP22にもNMOSトランジスタN22を通じて電流Iが流れ、別のカレントミラーによりNMOSトランジスタN23に電流Iが流れ、定電流I2を出力する。実際は、I1とI2がほぼ等しい約3mAの電流である。以上のような構成とすることで、高精度の電流源回路を得ることができる。なお、演算増幅回路X22に入力する電圧には特に制約が無く、従って、非反転増幅回路や分圧回路を挿入して参照電圧を適切な電圧に変換しても良い。また、参照電圧VBGRはBGR回路でなくツェナダイオード等で供給しても良い。更に、カレントミラーとしてカスコード接続カレントミラーを用いることで、精度を向上することも可能である。

【0026】(D) 第4実施例

第1実施例(図1)のLVDSドライバ回路は、PMOSトランジスタの差動対P0,P1とNMOSトランジスタの差動対N0,N1を向かい合わせた構成で、アナログ差動回路との整合が良い。このため、PMOSトランジスタ対P0,P1とNMOSトランジスタ対N0,N1を差動増幅回路で駆動することが可能である。図7は本発明の第4実施例の構成図であり、差

動増幅回路でスイッチング素子を駆動するもので、第3実施例と同一部分には同一符号を付している。第4実施例において、第3実施例と異なる点は、制御信号発生回路をCMOSロジック回路でなく、アナログ差動増幅回路を用いて構成する点である。

【0027】差動制御信号発生回路B2は、入力端子6a, 6bから入力するアナログ差動信号を入力信号とし、PMOSトランジスタの差動対P1,P0を駆動する信号S1, S2と、NMOSトランジスタの差動対N0,N1を駆動する信号S3, S4を発生する。信号S1, S2は直流レベルのほぼ等しい差動信号であり、信号S3, S4も直流レベルのほぼ等しい差動信号である。信号S1, S4の極性は同じであり、信号S2, S3の極性も同じである。又、信号S1, S4の位相と信号S2, S3の位相はそれぞれほぼ同じであることが望ましい。

【0028】(a) 差動制御信号発生回路の第1の構成図8は差動制御信号発生回路B2の第1の構成例で、信号S2, S3を共用し、又、信号S1, S4を共用する例である。図中、I30～I32は定電流源、P30～P31はPMOSトランジスタの差動対、R30, R31はPMOSトランジスタの差動対P30～P31のドレイン端子と低電位線間に挿入された抵抗、P32, P33はソースホロア回路を構成するPMOSトランジスタである。PMOSトランジスタP32, P33のゲートには抵抗R30, R31の端子電圧が入力され、ソースには電流源I31, I32が接続され、ドレインは低電位線に接続され、PMOSトランジスタP32のソースより信号S1, S4を出力し、PMOSトランジスタP33のソースより信号S2, S3を出力するようになっている。PMOSトランジスタP32, P33と電流源I31, I32によりソースホロア回路が構成される。

【0029】差動信号入力端子6aにH、差動信号入力端子6bにLの差動信号が入力すると、PMOSトランジスタP30がオン、PMOSトランジスタP31がオフし、NMOSトランジスタN30のゲートにHの信号が、NMOSトランジスタN31のゲートにLの信号が入力する。この結果、PMOSトランジスタP32がオフし、ハイレベルHの信号S1, S4が出力し、又、PMOSトランジスタP33がオンしてローレベルLの信号S2, S3が出力する。信号S1, S4のH、信号S2, S3のLにより、図7のPMOSトランジスタP0とNMOSトランジスタN1がオンし、第1の電流経路が形成されてLVDS出力はHになる。

【0030】一方、差動信号入力端子6aにL、差動信号入力端子6bにHの差動信号が入力すると、PMOSトランジスタP30がオフ、PMOSトランジスタP31がオンし、NMOSトランジスタN30のゲートにLの信号が、NMOSトランジスタN31のゲートにHの信号が入力する。この結果、PMOSトランジスタP32がオンし、ローレベルLの信号S1, S4が出力し、又、PMOSトランジスタP33がオフしてハイレベルHの信号S2, S3が出力する。信号S1, S4のL、信号S2, S3のHにより、図7のPMOSトランジ

11

タP1とNMOSトランジスタN0がオンし、第2の電流経路が形成されてLVDS出力はLになる。なお、LVDSの出力信号の直流レベルはGNDから規定されるため、差動増幅回路は図8に示すように出力レベルがGNDから決まるPMOSトランジスタP30,P31を用いたほうが好ましい。しかし、差動増幅回路としてPNPトランジスタを用いても同様の効果が得られることは言うまでもない。NMOSトランジスタやNPNトランジスタを用いた場合には、出力レベルが電源から決まるため直流電圧の設計はやや困難であるが、より高速な応答が期待できる。

【0031】(b) 差動制御信号発生回路の第2の構成図8に示す回路では信号S2, S3を共用し、信号S1, S4を共用するものであるため、信号S1, S2の直流レベルがPMOSトランジスタの差動対P0,P1を駆動するのに高くなりすぎる。このため、電源電圧を下げることができない問題がある。図9は差動制御信号発生回路の第2の構成例であり、信号S1～S4を別個に発生し、信号S1, S2の直流レベルが信号S3, S4の直流レベルより低くなるようしたものである。すなわち、図9の差動制御信号発生回路は、図8と同一構成の差動制御信号発生回路51の前段に別の差動制御信号発生回路52を設けて構成されている。

【0032】差動制御信号発生回路52において、I40は定電流源、P40～P41はPMOSトランジスタの差動対、R40～R41は差動対P40～P41のドレイン端子に接続された抵抗、R42は抵抗R40～R41とグランド線(GND線)間に挿入された抵抗である。第1の差動信号入力端子6aは、差動制御信号発生回路51, 52における各差動対の一方のPMOSトランジスタP31,P41のゲート端子に接続され、第2の差動信号入力端子6bは、差動制御信号発生回路51, 52における他方のPMOSトランジスタP30,P40のゲート端子に接続されている。又、差動制御信号発生回路52の差動対を構成するPMOSトランジスタP40,P41のドレインと抵抗R40,R41の接続部より信号S1, S2が出力し、差動制御信号発生回路51のソースフォロワを構成するPMOSトランジスタP32のソースより信号S4を出力し、PMOSトランジスタP33のソースより信号S3を出力するようになっている。以上より、PMOSトランジスタの差動対P1,P0(図7)を駆動する信号S1, S2の直流バイアスを、負荷抵抗R40～42の電圧降下で与えることができる。このため、PMOSトランジスタ対P0,P1の駆動信号S1, S2の直流レベルを、NMOSトランジスタ対N0,N1の駆動信号S3, S4の直流レベルより低くでき、電源電圧を下げることができる。

【0033】(c) 差動制御信号発生回路の第3の構成図10は差動制御信号発生回路の第3の構成例であり、第2の構成と同様に信号S1～S4を別個に発生し、信号S1, S2の直流レベルが信号S3, S4の直流レベルより低くなるようしたものである。図中、I40は定電流源、P40～P41はPMOSトランジスタの第1の差動対、R4

12

0～R41は第1の差動対P40～P41のドレイン端子に接続された抵抗、R42は抵抗R40～R41とグランド線(GND線)間に挿入された抵抗である。又、I41は定電流源、P42～P43はPMOSトランジスタの第2の差動対、N40,N41は負荷抵抗素子として機能するNMOSトランジスタであり、第2の差動対P42～P43のドレイン端子に接続されている。I42, I43は負荷抵抗素子としてのNMOSトランジスタN40,N41を常時オンさせるための定電流源、R44～R45は負荷抵抗素子N40,N41に直列に接続された抵抗、R46は抵抗R44～R45とグランド線(GND線)間に挿入された抵抗である。

【0034】第1の差動信号入力端子6aは、第1、第2の差動対の一方のPMOSトランジスタP41,P43のゲート端子に接続され、第2の差動信号入力端子6bは、第1、第2の差動対の他方のPMOSトランジスタP40,P42のゲート端子に接続されている。又、第1の差動対を構成するPMOSトランジスタP40,P41のドレインと抵抗R40,R41の接続部より信号S1, S2が出力し、第2の差動対を構成するPMOSトランジスタP42,P43のドレインと負荷抵抗素子N40,N41の接続部より信号S3, S4が出力するようになっている。PMOSトランジスタの差動対P1,P0(図7)を駆動する信号S1, S2の直流バイアスは、負荷抵抗R40～42の電圧降下で与え、また、NMOSトランジスタの差動対N0,N1(図7)を駆動する信号S3, S4の直流バイアスは、負荷抵抗R44～46と、負荷抵抗素子(NMOSトランジスタ)N40,N41で与えている。この結果、PMOSトランジスタ対P0,P1の駆動信号S1, S2の直流レベルが、NMOSトランジスタ対N0,N1の駆動信号S3, S4の直流レベルより低くなり、電源電圧を下げることができる。又、NMOSトランジスタN40,41のV_{GS}とLVD

30 Sドライバ回路のNMOSトランジスタ対N0,N1のV_{GS}を相殺することで、良好なバイアスを与えることができる。

【0035】(d) 差動制御信号発生回路の第4の構成図11は差動制御信号発生回路の第4の構成例であり、図10の第3の構成例における第1、第2の2つの差動対の一部を共通にしたものである。図中、電流源I50は図10の電流源I40,I41に対応し、以下同様に、電流源I51,I52は電流源I42,I43に対応し、第1の差動対P50,P51は第1の差動対P40,P41に対応し、第2の差動対P52,P53は第2の差動対P42,P43に対応し、抵抗(R50+R52), (R51+R53)は抵抗R40,R41に対応し、抵抗R54は各抵抗R42,R46に対応し、抵抗R52,R53は抵抗R44,R45に対応し、負荷抵抗素子N50,N51は負荷抵抗素子N40,N41に対応する。図11に示すように構成することにより、図10の回路と同様の特性を確保しつつ、回路規模の縮小と低消費電力化を図ることができる。また、信号S1～S4の位相をより良く一致させることができると可能である。以上の実施例では、MOS FETを用いた場合について説明したが、MIS FET等で構成することもでき、一般的に極性の異なるFETを用いてドライバ回路を構成することができる。以上、本発明を実施例により説明したが、本発明は請求の範囲に

13

記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0036】

【発明の効果】以上本発明によれば、第1の電流経路は正相制御信号がONで、かつ、逆相制御信号がONのときに電流を流し、第2の電流経路は正相制御信号がONで、かつ、逆相制御信号がONのときに電流を流すようにしたことにより、LVDS出力信号の立上り/立下がりが対称になり、これによりパルス幅歪みをなくすことができ、高速伝送に対応できる。

【0037】又、本発明によれば、制御信号発生回路を2以上のCMOSロジック回路(インバータ)で構成し、正相制御信号を発生するCMOSロジック回路側及び逆相制御信号を発生するCMOSロジック回路側の少なくとも一方に遅延回路を挿入し、正相制御信号と逆相信号間の位相差が零となるようにしたから、第1の電流経路と第2の電流経路が同時にオフする状態をなくせ、第1の電流経路がONすれば同時に第2の電流経路をオフでき、又、第2の電流経路がONすれば同時に第1の電流経路をオフでき、第1の電流経路を構成するMOSトランジスタ対と第2の電流経路を構成するMOSトランジスタ対のオン/オフ時のスイッチング特性を対称にでき、LVDS出力波形をより改善することができる。

【0038】又、本発明によれば、高電位側のPMOSトランジスタ対のソース端子と高電位線間に第1の電流源を接続し、低電位側のNMOSトランジスタ対のソースと低電位線間に第2の電流源を接続、該低電位側のNMOSトランジスタ対の各ドレインと定電圧源間をバイアス抵抗素子で接続するようにしたから、低電位側のNMOSトランジスタ対も飽和領域で用いることができるようになり、スイッチング特性を改善でき、LVDS出力のパルス幅歪みを減小できる。又、本発明によれば、制御信号発生回路を、アナログ差動信号が入力される差動増幅回路で構成し、該差動増幅回路より正相制御信号及び逆相制御信号を出

10

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

14

力するようにしたから、アナログ差動信号が入力される場合であっても、LVDS用ドライバ回路を提供できる。

又、この場合、高電位側のPMOSトランジスタ対P0,P1の駆動信号の直流レベルを、低電位側のNMOSトランジスタ対N0,N1の駆動信号の直流レベルより低くできるため、電源電圧を下げることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例である。

【図2】本発明の波形応答の模式図である。

【図3】本発明の第2の実施例である。

【図4】本発明の第3の実施例である。

【図5】電圧源回路の構成図である。

【図6】電流源回路の構成図である。

【図7】本発明の第4の実施例である。

【図8】差動制御信号発生回路の第1の構成例である。

【図9】差動制御信号発生回路の第2の構成例である。

【図10】差動制御信号発生回路の第3の構成例である。

【図11】差動制御信号発生回路の第4の構成例である。

【図12】LVDSインターフェースの構成例である。

【図13】従来のドライバ回路である。

【図14】従来の波形応答の模式図である。

【符号の説明】

1 · · LVDS用のドライバ回路

3 · · 第1の伝送線路

4 · · 第2の伝送線路

5 · · 終端抵抗

6 · · CMOS入力端子

8, 9 · · VDSレシーバの入力端子

P0~P1 · · 高電位側の一対のPMOSトランジスタ

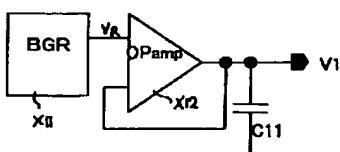
N0~N1 · · 低電位側の一対のNMOSトランジスタ

B1 · · 制御信号発生回路

X0,X1 · · CMOSロジック回路(インバータ)

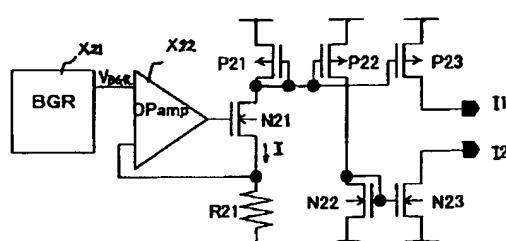
【図5】

電圧源回路の構成例



【図6】

電流源回路の実施例

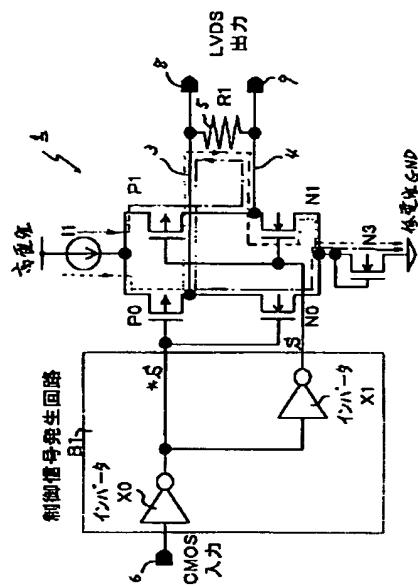


【图1】

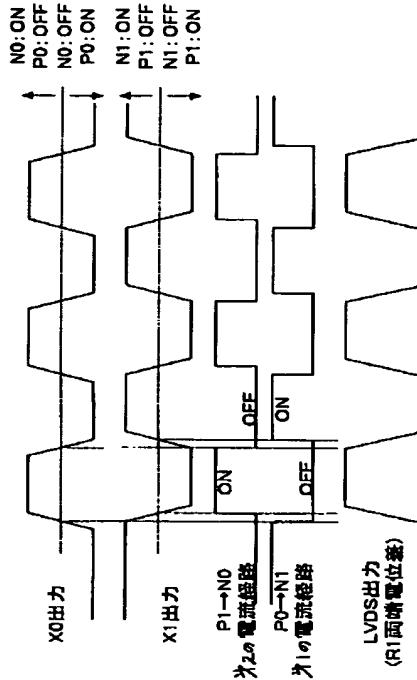
本発明の第1の実施例

【图2】

本発明の波形応答の模式図



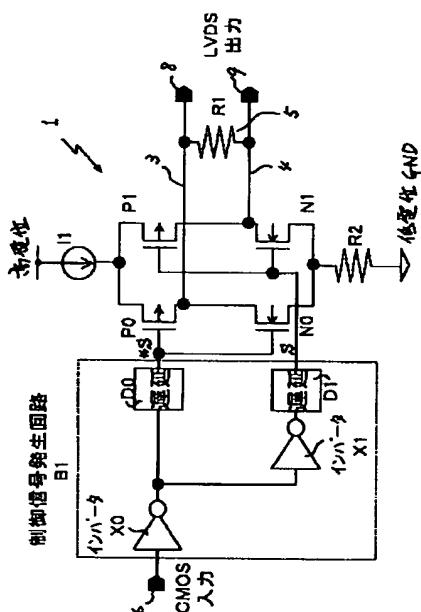
[☒ 3]



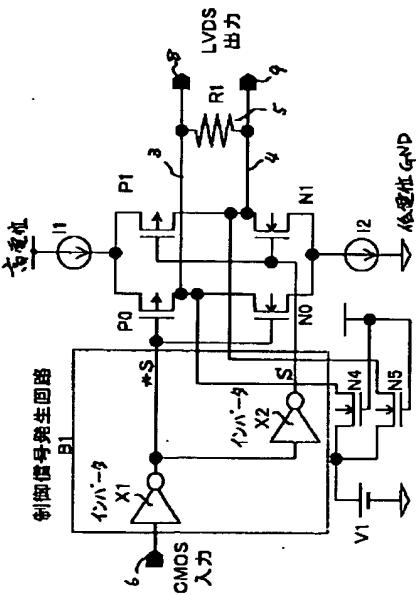
本発明の第2の実施例

【四】

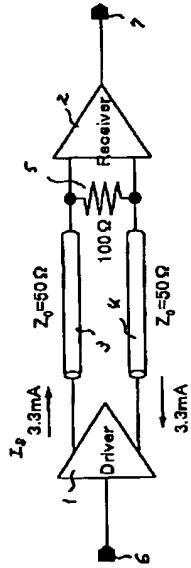
【図12】



本発明の第3の実施例

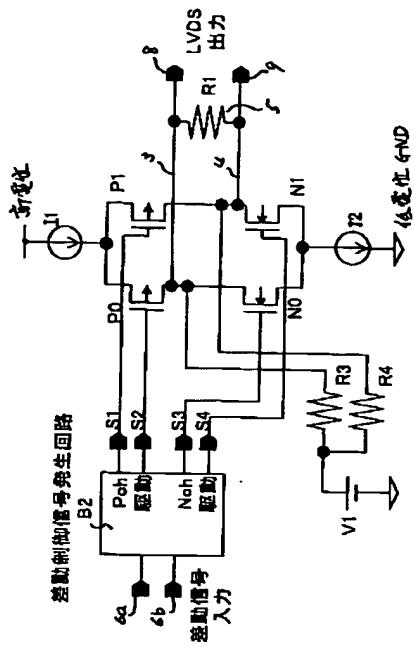


1.VDSインターフェースの構成例



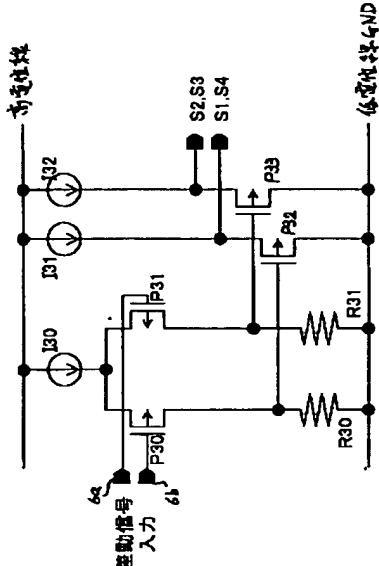
【図7】

本発明の第4の実施例

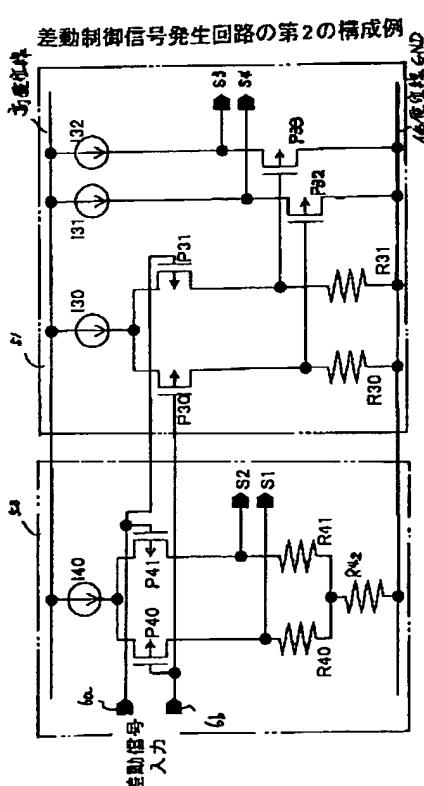


【図8】

差動制御信号発生回路の第1の構成例

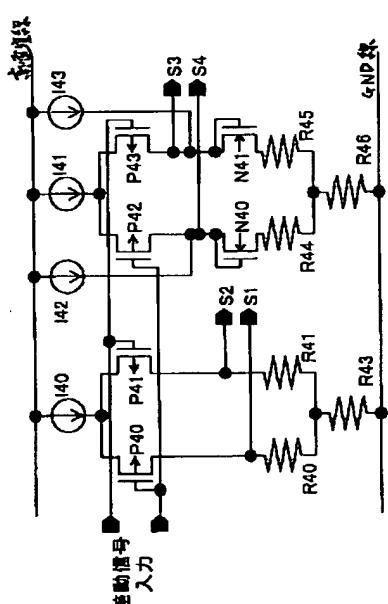


【図9】



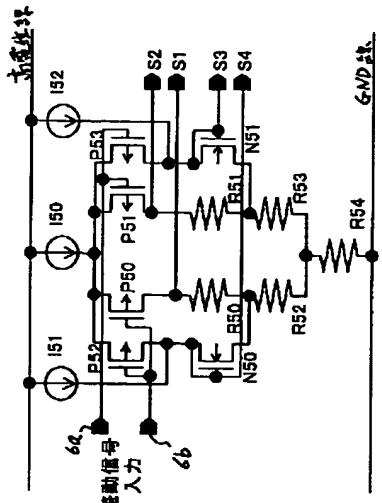
【図10】

差動制御信号発生回路の第3の構成例



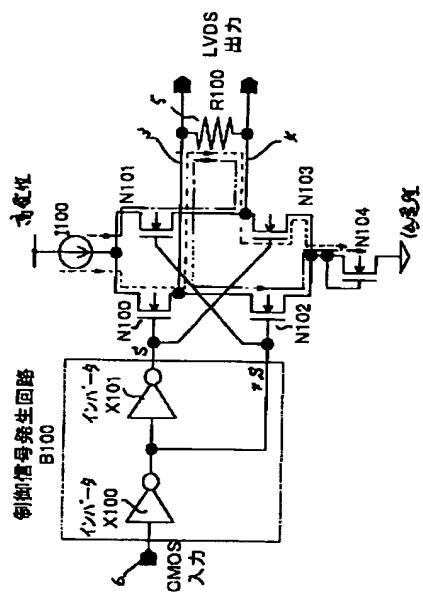
【図11】

差動制御信号発生回路の第4の構成例



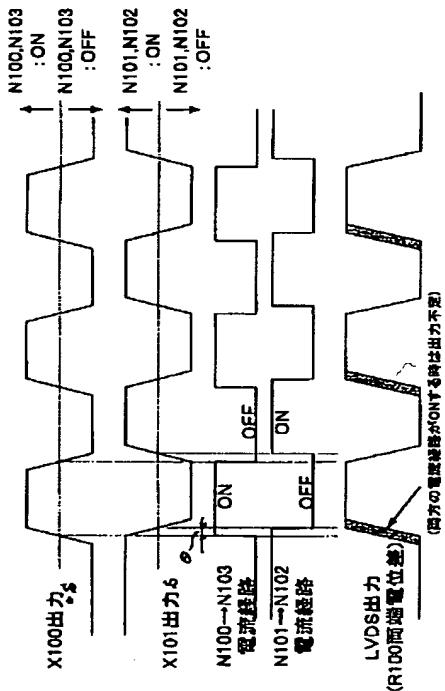
【図13】

従来例のドライバ回路



【図14】

従来例の波形応答の模式図



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	マークト(参考)
)		H 03K 17/687	H
F ターム(参考) 5J032 AB01 AB11 AC04 AC05 BA25 5J055 AX02 AX10 AX54 AX64 BX16 CX24 DX22 DX56 DX72 DX83 EX07 EX21 EY01 EY10 EY21 EZ03 EZ04 EZ07 EZ09 EZ50 FX13 FX17 FX35 GX01 GX04 5J056 AA04 BB02 BB17 BB57 CC01 CC05 DD13 DD28 EE15 FF07 FF08 GG10 KK01 5K029 AA11 AA13 AA18 DD04 LL00 LL08			